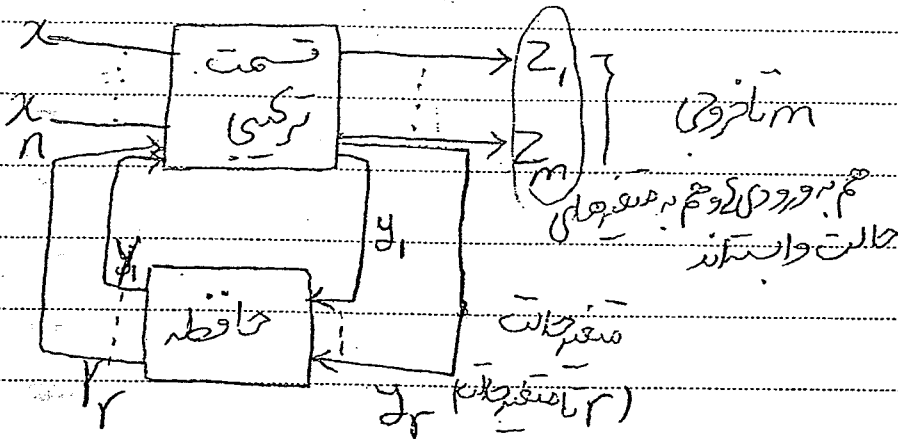


Subject:

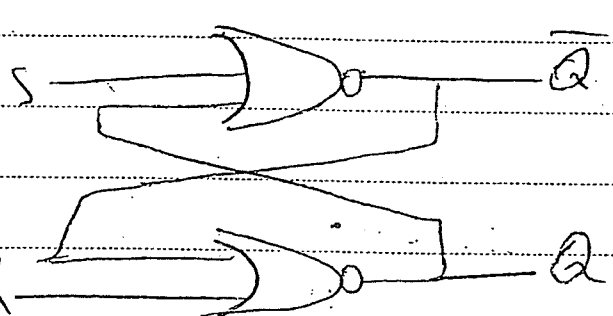
Year: Month: Date: ۱۳۹۷

سازمان‌های ترتیبی Sequential

تاکنون در مداراتی که بررسی کردیم حافظه وجود نداشت و خروجی آن به گذشته وابسته نبود در سازمان‌های ترتیبی حافظه وجود دارد و خروجی آن به ورودی‌های گذشته نیز وابسته است.



حافظه‌ها، سازمان‌های ترتیبی، لatch، فلیپ فلوپ، Flip-Flop



لatch (SR) Set Reset

Feedback تولید حافظه می‌کنند

حالت فعلی حالت بعدی

S	R	Q	Q*	Q*
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	0	0
1	1	1	0	0

خطوط حالت
یعنی تغییر

Reset

set

غیرفعال

S	R	Q*
0	0	Q
0	1	0 Reset
1	0	1 set
1	1	X غیرفعال

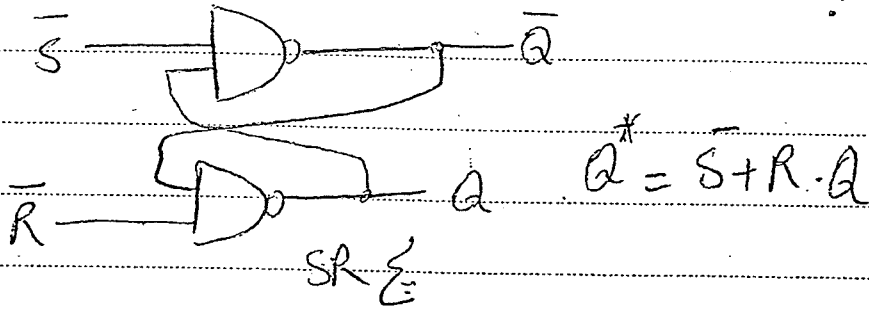
جدول مشخصه جدول حالت

معادله مشخصه $Q^* = S + \bar{R} \cdot Q$ جدول کارایی
 $S \cdot R = 0$ شرط درستی معادله
 and S, R ممنوع

Subject :

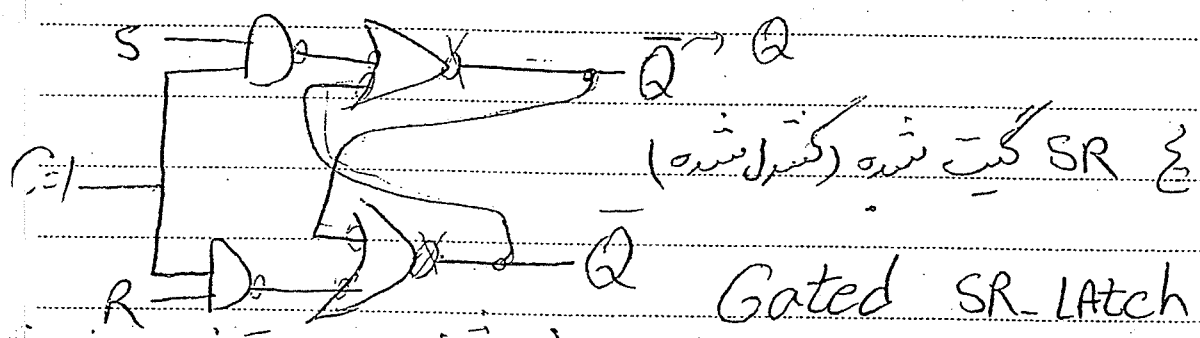
Year . Month . Date . ()

نکته: Latch SR با درگیت NAND نیز قابل ساخت است در این صورت ورودی active low خواهد بود



نکته: معمولاً برای Latch یک ورودی کنترل نیز در نظر می‌گیرند

$C=0 \implies$ هیچ تغییری در S و R نمی‌کند یعنی حفظ حالت می‌کند
 $C=1 \implies$ هیچ کاری انجام نمی‌دهد

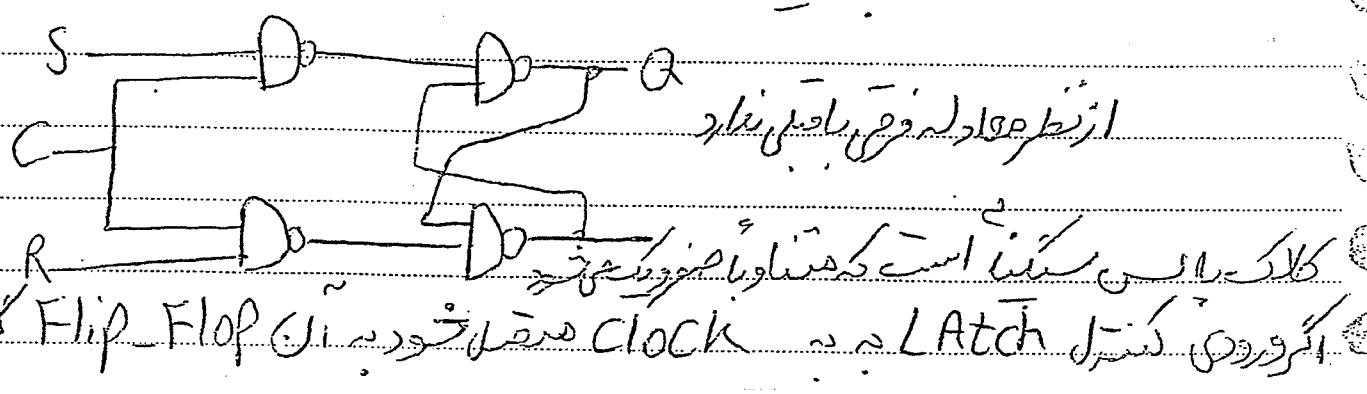


معادلات فرقی با قبلی ندارد فقط بعضی از حالات معادله مشخصه را در نظر می‌گیریم

$$Q^* = S.C + \bar{R}Q + \bar{C}Q \quad \bar{Q}^* = C(S + \bar{R}Q) + \bar{C}Q$$

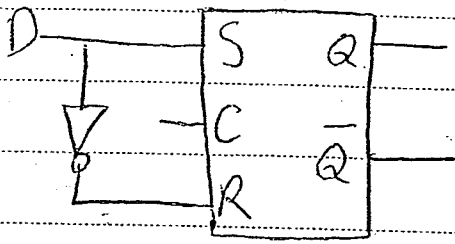
$C=0 \implies Q^* = \bar{R}Q + Q = Q$ حفظ حالت $C=1 \implies S + \bar{R}Q = \bar{Q}^*$

NAND گیت با Latch SR

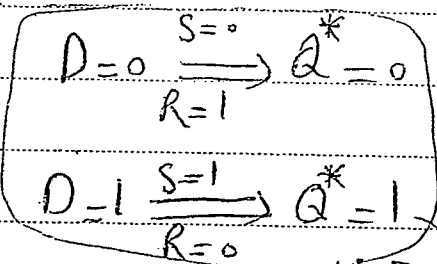


Subject:

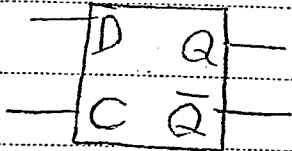
Year: Month: Date: ۹۹



فلپ فلاپ D
Data delay

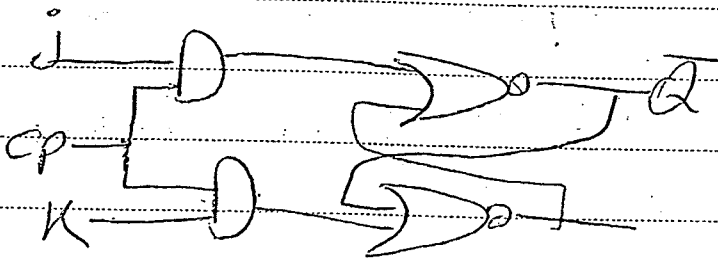


$\Rightarrow Q^* = D$

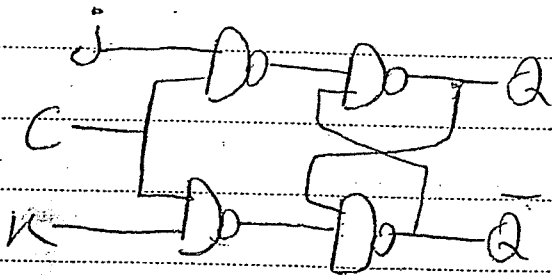


حالت غیر مجاز ندارد فقط حالت ندارد

تنها Flip Flop است که حالت بعدی مستقل از حالت فعلی است

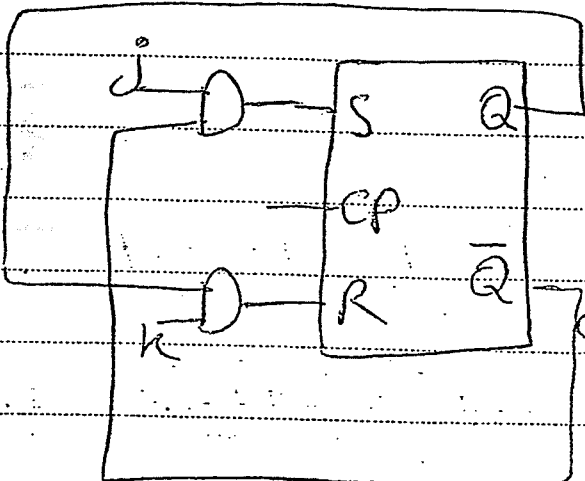


حالت فلپ JK



jump kill

J	K	Q*	
0	0	Q	حفظ حالت
0	1	0	kill
1	0	1	jump
1	1	\bar{Q}	مکمل



پس از تهیه کلاف

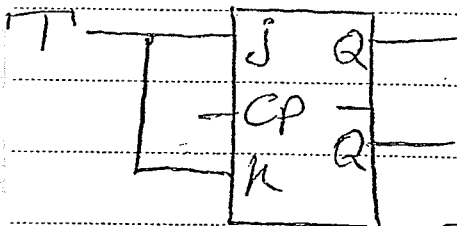
$Q^* = J\bar{Q} + KQ$

Subject:

Year: Month: Date: () / () / ()

T-FF
Trigger
تغییر کردن

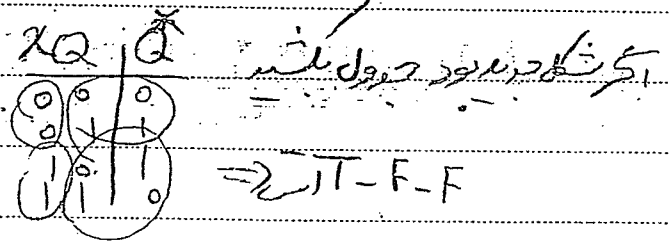
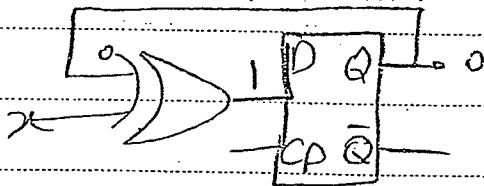
فلپ فلاپ T



$$\begin{aligned}
 T=0 \xrightarrow{J=K=0} Q^* &= Q \\
 T=1 \xrightarrow{J=K=1} Q^* &= \bar{Q} \\
 \Rightarrow Q^* &= T \cdot \bar{Q} + \bar{T} \cdot Q \\
 \Downarrow \\
 Q^* &= T \oplus Q
 \end{aligned}$$

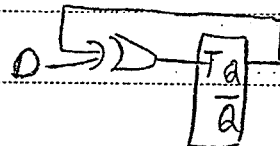
با استفاده از T-FF و D-FF سازند

$$\left. \begin{aligned}
 D-FF : Q^* &= D \\
 T-FF : Q^* &= T \oplus Q
 \end{aligned} \right\} \Rightarrow D = T \oplus Q$$

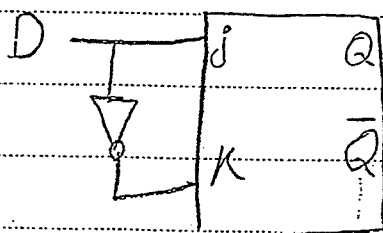


با استفاده از D-FF, T-FF سازند

$$\left. \begin{aligned}
 D-FF : Q^* &= D \\
 T-FF : Q^* &= T \oplus Q
 \end{aligned} \right\} \Rightarrow D = T \oplus Q \Rightarrow T = D \oplus Q$$



با استفاده از J-K و D-FF سازند



Subject:

Year: Month: Date: ()

با استفاده از TFF، JK بارز

$$Q^* = j\bar{Q} + kQ$$

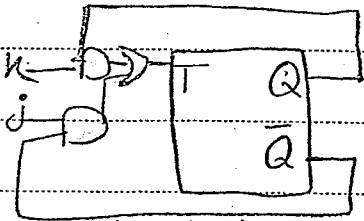
$$Q^* = T \oplus Q$$

$$\Rightarrow T \oplus Q = j\bar{Q} + kQ$$

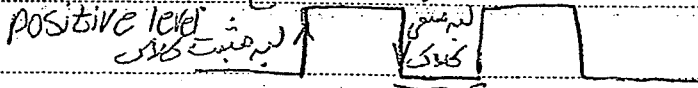
$$T = Q \oplus (j\bar{Q} + kQ)$$

سادگی

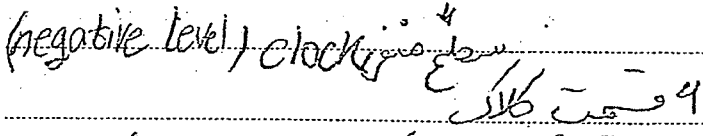
$$T = j\bar{Q} + kQ$$



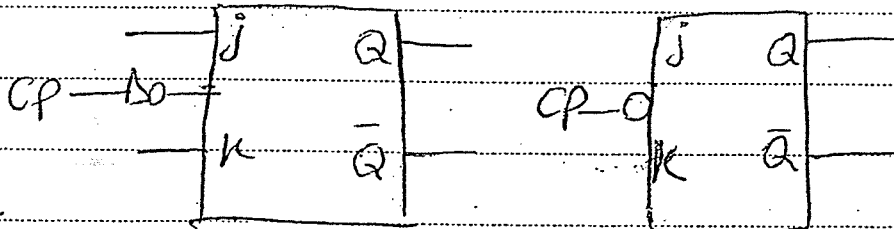
سطح مثبت clock



یک clock 4 قسمت دارد

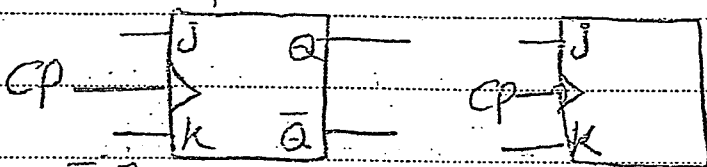


همه فلپ فلاپ های معروفی که تا حالا دیده بودی روی سطح مثبت کلاک کار می کنند یعنی حساس به سطح مثبت کلاک هستند positive level triggered



اولی فلپ فلاپ های مورد استفاده حساس به لبه هستند و در بعضی کتب به حساس به لبه

فلپ فلاپ و به تعبیر latch گونه edge triggered



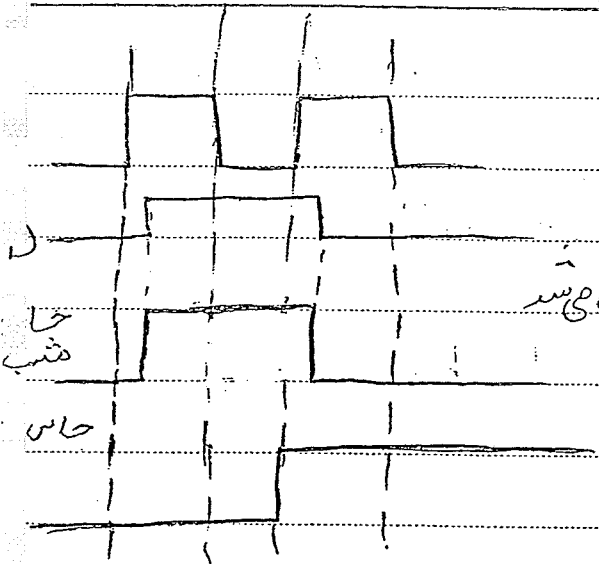
حساس به لبه مثبت

حساس به لبه منفی

Subject:

Year: Month: Date: ۱۳۹۷

تا آخرها همگراست

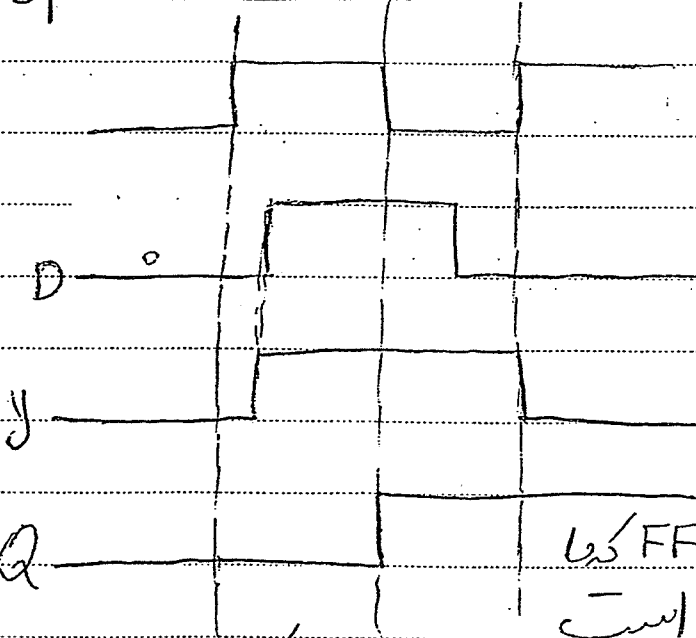
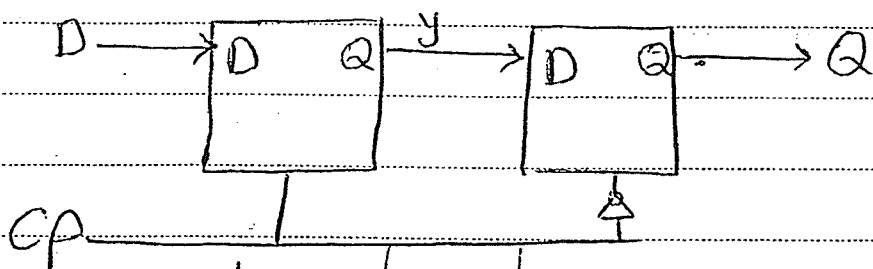


وقتی بالاس همگراست حاس به شرط
تغییر می کند حتی اگر $D=0$ بود باز هم تک می شه

روش ساخت FF های حاس بدیده

۱- فلپ فلات (MS) Master-slave

فلپ فلات MS از دو FF حاس به شرط (بزرگ حاس به شرط منفی و کوچک حاس مثبت) تشکیل شده است می خواهیم نشان دهیم این ترکیب یک FF حاس بدیده



برای بدست آوردن Q باید به نگاه کنیم

وکی در لحظه های منفی Q زده به شرط

مثبت عوض شده و زده به شرط منفی در FF کما

ساختیم حاس به لب منفی است

برای ساختن حاس بدیده مثبت جای گیت NOT را عوض می کنیم

Subject:

Year: Month: Date: ۷/۹/۰۱

روش ۲ - ۱۲۷ کتاب یک Flip Flop خاص بدنه ۳ تا latch می تواند باشد

اگر از Q, Q-bar, Feedback به ورودی داشته و یک ورودی داشته است T

JK دو = بدون Feedback

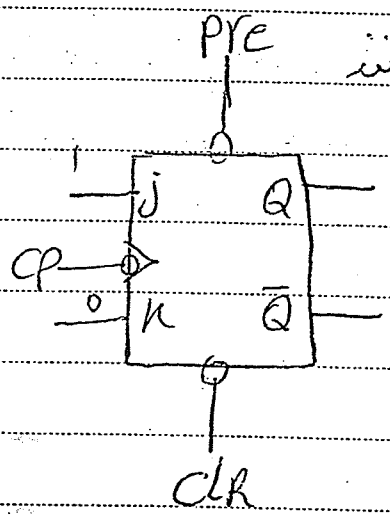
D یک = بدون Feedback

SR دو = not مثبت مثبت +

سرا راه کلان

نمونه فلپ فلاپ دارای دو ورودی به نامهای clear, preset می باشد

این دو ورودی با clock سینکرون هستند یعنی اینکه به محض اینکه این ورودی فعال شود تا اثر خود را می گذارند و منظر clock می مانند

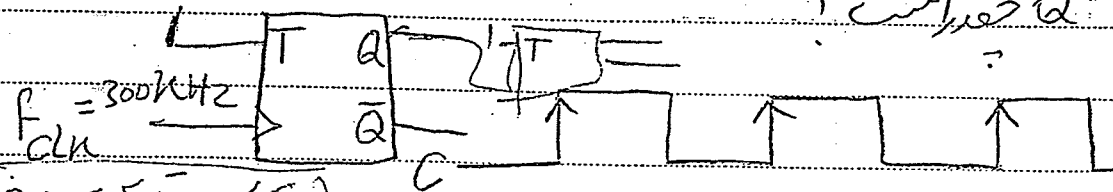


Pre set, Q = 1
 clear Q = 0
 به محض اینکه منظر شود

یعنی به محض اینکه فعال شوند نظراته را انجام می دهند

۱۲۸ کتاب شکل ۱۲-۴ این F.F را توضیح می دهد

شکل زیر فرکانس Q چه قدر است؟



یک F.F. n است
 شروع می شود

ت هر وقت یک است Q عوض می شود البته در لبه های مثبت

$$T = 2T_Q \Rightarrow F = \frac{1}{2} F_{clk}$$

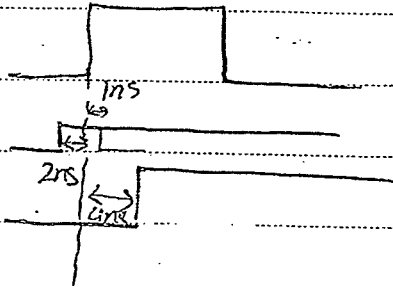
Subject:

Year: Month: Date: ۱۳۹۷

پارامتری زمانی F.F

F-F سه زمان دارند

۱) زمان تأخیر استارت: مدت زمانی است که پس از آمدن clock طول می کشد تا خروج F.F تغییر کند



به طور مثال اگر $t_{pd} = 4ns$ است
Q ، 4ns بعد تغییر می کند

زمان راه اندازی (setup time)

مدت زمانی است که لازم است تا ورودی قبل از آمدن clock تثبیت شده باشد

به طور مثال وقتی ورودی به اندازه $t_s = 2ns$ دیگر برابر

clock تغییر کند توجه ورودی حداقل باید 2ns قبل از clock معیارش را گرفته باشد
و الا معلوم نیست خروجی چه می شود

زمان نگهداری

مدت زمانی است که لازم است تا بعد از آمدن clock ورودی معیار خودش را حفظ کند
و استو تغییر نکند

یعنی ورودی حداقل باید 1ns بعد از آمدن clock عوض نشود زودتر از 1ns عوض

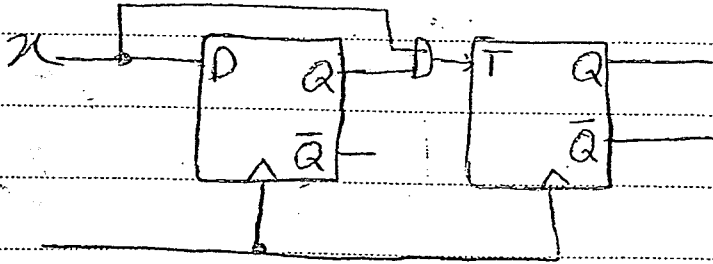
یعنی حداقل باید ورودی به اندازه 2ns قبل از clock و 1ns بعد از clock

ثابت ماند یعنی حداقل 3ns باشد

Subject:

Year: Month: Date: (1)

در شکل زیر با توجه به فرضیات داده شده حداکثر فرکانس clock برای این مدار است کار کنید. $t_s = 10ns$



$$t_s = 10ns$$

$$t_n = 5ns$$

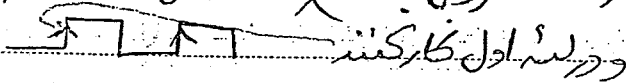
$$t_{pd}(FF) = 60ns$$

$$t_{pd}(AND) = 20ns$$

$$f = \frac{1}{T}$$

$$f_{max} = \frac{1}{T_{min}}$$

در اینطور سوال باید clock میزنیم و نگاه می کنیم تا clock بعدی چند ns بعد میزنیم
60ns طول می کشد که هر کدام از FF خروجی بدیندیگه و درون FF دوم الان آماده نیست



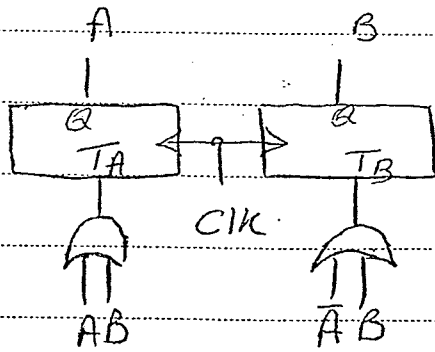
تأخر نسبی کارکننده AND 20ns برای AND و 10ns برای FF است پس کل 30ns است اما از Hold time برآید
صرف نظر کنیم چون clock در اختیار Hold time میزنیم

$$f_{max} = \frac{1}{90ns} = \left(\frac{1}{90}\right) GHz$$

Subject:

Year: _____ Month: _____ Date: _____

کلیل مدارات ترکیبی



کلر کننده

فصل 129 شکل 4-14

تفسیر حالات را بر روی کسند

شامل 2 تا FF به 4 حالت

در حالت کلی n تا FF 2^n حالت

مدار سنکرون است یعنی کلاک هم FF مشترک است یعنی هر زمان با هم کار می کنند و خروجی

$$AB = 00 \xrightarrow[\substack{TA=0 \\ TB=1}]{\text{حالت فعلی}} A^*B^* = 01$$

$$AB = 01 \xrightarrow[\substack{TA=1 \\ TB=1}]{\text{حالت فعلی}} A^*B^* = 10$$

$$AB = 10 \xrightarrow[\substack{TA=1 \\ TB=0}]{\text{حالت فعلی}} A^*B^* = 00$$

$$TA = A + B$$

$$AB = 11 \xrightarrow[\substack{TA=1 \\ TB=1}]{\text{حالت فعلی}} A^*B^* = 00$$

$$TB = \bar{A} + B$$

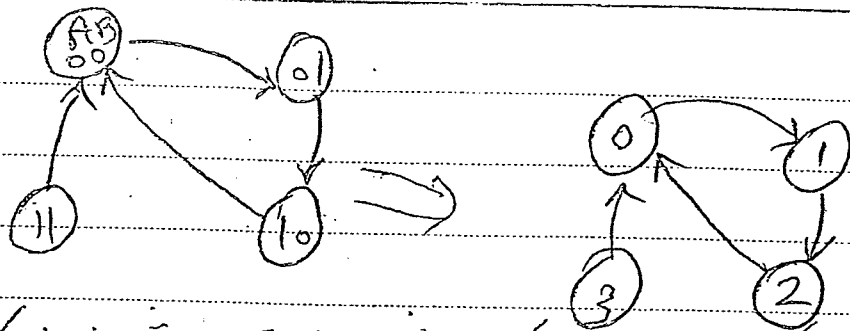
برای کلیل ابتدا تعداد لات ورودی FF را می نویسیم سپس به ازای هر حالت مقدار

ورودی FF را بدست می آوریم و بعد کلاک بدهیم و با توجه به حالت مشخصه FF در حالت بعدی

را تعیین می کنیم

حالت فعلی	حالت بعدی
AB	A*B*
00	01
01	10
10	00
11	00

جدول حالت

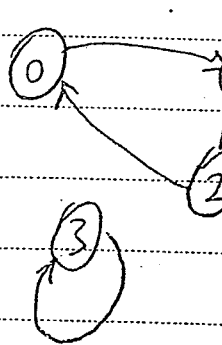


باتوجه به این گراف حالت می توان گفت این مدار یک شمارنده است. شمارنده ای که cycle

2 → 1 → 0 → 3 را می شمارد یعنی این شمارنده، شمارنده 3-Mod می باشد. شمارنده ای که عدد را بشمارد شمارنده Mod n است.

در ضمن این شمارنده، شمارنده خود را آغاز (self-start) است یعنی از هر state شروع کند cycle گفته شده را می شمارد.

اگر به شکل روی نمودار (hang up) دارای فعل بود که خود را آغاز نمود و سیکل را آغاز نمود.



- این مدار که کلیه شد دارای اجزای زیر بود و دردی و خروجی نداشته
- 2 FF → حافظه
- 2 گیت OR → فنر ترکیبی
- A, B → متغیرهای حالت
- ندارد → ورودی
- ندارد → خروجی